



(19)

(11) Publication number: **07135307 A**

Generated Document.

PATENT ABSTRACTS OF JAPAN

(21) Application number: **05188710**(51) Intl. Cl.: **H01L 29/78**(22) Application date: **30.06.93**

(30) Priority:

(43) Date of application publication: **23.05.95**

(84) Designated contracting states:

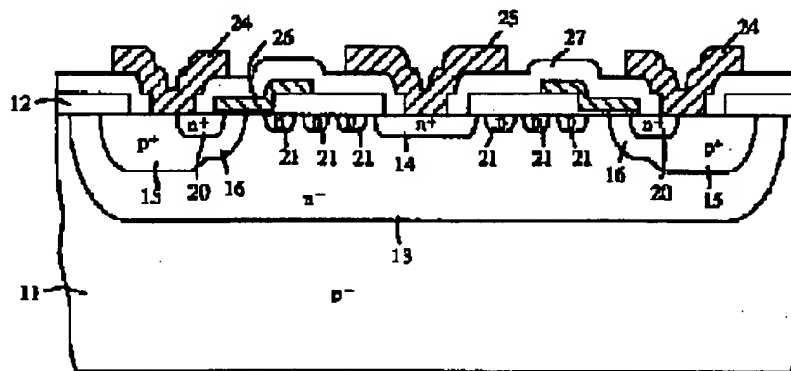
(71) Applicant: **SHINDENGEN ELECTRIC MFG CO LTD**(72) Inventor: **KUBOTA KENICHI**

(74) Representative:

(54) SEMICONDUCTOR DEVICE**(57) Abstract:**

PURPOSE: To provide a semiconductor device comprising high voltage MISFETs, having low ON resistance and occupation area, integrated on one chip.

CONSTITUTION: A voltage lower than a breakdown voltage is applied between a drain electrode 25, a source electrode 24, a substrate 11 and a gate electrode 26 to extend a depletion layer from the junction between an extended drain region, i.e., an n⁺-type diffusion region 13, and a p⁺-type semiconductor substrate 11. When the depletion layers are extended from the junction between the extended drain region and a plurality of field rings 21, the depletion layers are interconnected thus depleting the extended drain region and the plurality of field rings across the their entire thickness at least locally.



COPYRIGHT: (C)1995,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-135307

(43) 公開日 平成7年(1995)5月23日

(51) IntCl⁶
H01L 29/78

識別記号

庁内整理番号

F I

技術表示箇所

7514-4M

H01L 29/78

301 S

審査請求 未請求 請求項の数4 F D (全6頁)

(21) 出願番号 特願平5-188710

(22) 出願日 平成5年(1993)6月30日

(71) 出願人 000002037

新電元工業株式会社

東京都千代田区大手町2丁目2番1号

(72) 発明者 久保田 健一

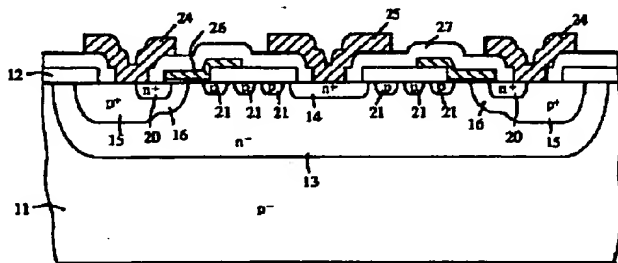
埼玉県飯能市南町10番13号新電元工業株式会社工場内

(54) 【発明の名称】 半導体装置

(57) 【要約】 (修正有)

【目的】 1チップ上に集積可能な高電圧用MISFETを備える半導体装置において、オン抵抗と占有面積の小さい高電圧用MISFETを実現すること。

【構成】 ドレイン電極25と、ソース電極24、基板11及びゲート電極26との間に降伏電圧より低い電圧を印加して延長ドレイン領域である n^- 型拡散領域13と p^- 半導体基板11との接合面より空乏層を拡張させ、延長ドレイン領域と複数のフィールドドリング21との接合面より空乏層を拡張させたとき、この空乏層同士が接続し延長ドレイン領域と複数のフィールドドリングとが少なくとも局所的にその全厚さにわたって空乏化されるようになっているものである。



【特許請求の範囲】

【請求項 1】第 1 導電型半導体基板の表面側に形成された M I S 部を備える半導体装置であつて、前記 M I S 部におけるソース領域は、ソース電極が導電接続する前記基板表面側に形成された第 2 導電型の島状の高濃度ソース領域を備えており、前記 M I S 部におけるドレイン領域は、前記基板表面側で前記ソース領域に対峙する第 2 導電型の延長ドレイン領域と、前記延長ドレイン領域の前記基板表面側に形成されドレイン電極が導電接続する第 2 導電型の島状の高濃度ドレイン領域と、前記延長ドレイン領域の前記基板表面側に形成された第 1 導電型の複数の島状領域とを備えており、前記 M I S 部におけるゲート電極は、前記ソース領域と前記ドレイン領域との間で前記基板表面上に絶縁層を介在して形成され、前記ソース領域と前記ドレイン領域との間の前記基板表面側に形成するチャネルから電気的に分離されており、前記基板表面上には、前記ソース領域と前記ドレイン領域との前記基板表面を少なくとも被覆する絶縁層を備えている当該半導体装置において、前記ドレイン領域と、前記ソース領域、前記半導体基板および前記ゲート電極との間に降伏電圧より低い電圧を印加して、前記基板と前記延長ドレイン領域との接合面から空乏層を拡張させ、前記延長ドレイン領域と第 1 導電型の前記複数の島状領域との接合面から空乏層を拡張させたとき、この空乏層同士が接続し、前記延長ドレイン領域と第 1 導電型の前記複数の島状領域とが、少なくとも局所的にその全厚さにわたって空乏化されるようになっていたことを特徴とした高電圧用 M I S F E T を備える半導体装置。

【請求項 2】請求項 1 に記載の半導体装置において、前記延長ドレイン領域の前記基板表面上にある第 1 導電型の前記複数の島状領域は、前記高濃度ドレイン領域と間隔を隔てて形成されていることを特徴とした高電圧用 M I S F E T を備える半導体装置。

(2)

【請求項 3】請求項 1 または請求項 2 に記載の半導体装置において、前記延長ドレイン領域の前記基板表面側にある 1 つの島状領域と、その 1 つ島状領域に隣り合う位置にある前記延長ドレイン領域の前記基板表面側の他の島状領域との間隔が $10\mu\text{m}$ 以下であり、前記延長ドレイン領域の前記基板表面側にある第 1 導電型の前記複数の島状領域は、その第 1 導電型不純物のドーピング濃度が $5 \times 10^{11}/\text{cm}^2$ と $3 \times 10^{13}/\text{cm}^2$ との間に入ることを特徴とした高電圧用 M I S F E T を備える半導体装置。

【請求項 4】請求項 3 に記載の半導体装置において、前記延長ドレイン領域の前記基板表面側にある 1 つの島状領域と、その 1 つの島状領域に隣り合う位置にある前記延長ドレイン領域の前記基板表面側にある他の島状領域との間で、前記延長ドレイン領域の不純物濃度の 1 番高い位置が前記基板表面より $0.5\mu\text{m}$ から $5.0\mu\text{m}$ の

間にあつてかつ前記延長ドレイン領域の表面の第 2 導電型の不純物濃度が $1 \times 10^{16}/\text{cm}^3$ より低くなっていることを特徴とした高電圧用 M I S F E T を備える半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は高電圧用 M I S F E T を備える半導体に関し、特にその耐電圧構造に関するものである。

【0002】

【従来の技術】パワーエレクトロニクスの分野に用いられる半導体装置においては、1 つの半導体集積回路装置内で、低い電源電圧で駆動する論理素子と組み合わせることができる高電圧用 M I S F E T が要求され、この要求はしばしば 500 ボルト以上になる。このような耐電圧構造を持った M I S F E T のうち、代表的な n チャネル型 M O S F E T として、図 4 に示す特開昭 63-3148

(3)

69 号公報の技術を挙げることができる。図 4 において、p- 型半導体基板 11 の表面は、二酸化ケイ素層 12 によって被覆されている。p- 型半導体基板の表面側に、金属ドレイン電極 25 が導電接続する n+ 型ドレイン領域 14 が形成されている。この n+ 型ドレイン領域から横方向に離間して、n+ 型ソース領域 20 が形成され、p+ 型コンタクト領域 19 は、n+ 型ソース領域の隣りに n+ 型ドレイン領域から遠い位置に形成される。金属ソース電極 24 は、p+ 型コンタクト領域 19 と n+ 型ソース領域 20 に導電接続する。多結晶シリコンゲート 26 はゲート電極であり、このゲートが基板表面上に二酸化ケイ素層 12 の極めて薄くなっている部分を介在しかつゲートの下の基板表面側でこのゲートにより反転され得るチャネルから絶縁されるように、ソース電極 24 とドレイン電極 25 との間に配置されている。絶縁層 27 はこのゲート電極と二酸化ケイ素層を被覆している。ゲート電極の下には、しきい値電圧を調整する p 型打ち込み層 18 と突き抜け降伏電圧を改善する p 型打ち込み層 17 がある。n- 型拡散領域 13 は延長ドレイン領域を形成しており、ゲート 26 の下から n+ 型ドレイン領域 14 までこの n+ 型ドレイン領域の反対側と同じ距離だけ延在している。また、n- 型拡散領域 13 の表面側には、p 型の不純物層 23 が形成されている。

【0003】この M O S F E T において、ドレイン電極 25 と、ソース電極 24、半導体基板 11 およびゲート電極 26 との間に電圧を印加して延長ドレイン領域である n- 型拡散領域 13 と半導体基板 11 との p n 接合面から第 1 の空乏層を広げ、この延長ドレイン領域と p 型不純物層 23 との p n 接合面より第 2 の空乏層を広げたとき、この第 1 と第 2 の空乏層が接続し延長ドレイン領域をピンチオフして完全に空乏化し、同時に第 2 の空乏

層はp型不純物層23を完全に空乏化するので、電圧は空乏化した延長ドレイン領域とp型不純物層の全域にわたって分布し、基板表面で局所的な電界の強さが緩和されて高い降伏電圧が得られる。延長ドレイン領域であるn型拡散領域13は、第1と第2の空乏層によって完全に空乏化するように、その正味の電荷数は約 $2 \times 10^{12}/\text{cm}^2$ に設定され、p型不純物層23は、第2の空乏層によって完全に空乏化するように、その正味の電荷数は

(4)

約 $1 \times 10^{12}/\text{cm}^2$ に設定される。図4において、n型拡散領域13の表面側にp型不純物層23を備えていない場合には、延長ドレイン領域であるn型拡散領域13は半導体基板11とのpn接合面から広げた空乏層によって空乏化するように、その正味の電荷数は約 $1 \times 10^{12}/\text{cm}^2$ に設定される。そのため、図4のように、n型拡散領域13の表面側にp型不純物層23を備えることにより、延長ドレイン領域のn型領域の正味の電荷数を約2倍にできる。

【0004】また、図4のMOSFETでは、ゲート電極26およびドレイン電極25が、ゲートの下で極めて薄くなっている酸化ケイ素層12の部分に比して厚い酸化ケイ素層の部分の表面をp型不純物層23の一部の上方にまで延びており、このゲート電極とドレイン電極の延長された部分はフィールドプレートとして機能し、延長ドレイン領域とp型不純物層のある領域の基板表面の局所的な電界強度のピークを緩和し、延長ドレイン領域とp型不純物層のある領域の表面で平均的な電界強度を強くして、降伏電圧を更に高くしている。

【0005】

【発明が解決しようとする課題】図4のように、基板表面側に横型に形成され、延長ドレイン領域と延長ドレイン領域の表面側にp型不純物層を備える高電圧用MISFETにおいて、延長ドレイン領域の全長は、このMISFETのオン抵抗や全体の面積に大きく影響する要因であるから、耐電圧の要求を満たす範囲内でなるべく短く設定されるのが好ましい。降伏電圧を保ちながら延長ドレイン領域の全長をなるべく短くするためには、延長ドレイン領域およびp型不純物層で局所的な電界強度のピークを緩和しかつ平均的に電界強度を強くする必要がある。また、延長ドレイン領域およびp型不純物層のある領域の基板表面に沿った電位分布は、基板表面に沿った電界の強さの横方向（基盤に対して水平方向）成分によって決まるので、電界強度を有効に活かすためには、電界の強さの縦方向（基盤に対して垂直方向）成分はなるべく小さい方がよく、すなわち電界の向きが延長ドレイン領域およびp型不純物層のある領域の基板表面で基板に対して横方向に向いており、等電位線が

(5)

基板表面で基板に対して垂直に入射していることが好ま

しい。図4のような高電圧用MISFETにおいては、フィールドプレートを備えることにより、延長ドレイン領域およびp型不純物層のある領域の基板表面で平均的な電界強度を強くできるため、フィールドプレートを備えない場合に比べて延長ドレイン領域の全長を短くできるのだが、フィールドプレートの下部の基板表面で、電界の向きは基板に対して斜め方向に向いており、この等電位線は基板表面で基板に対して斜めに入射している。そのため、フィールドプレートによる電界は決して好ましいものではなく、改善の必要がある。

【0006】

【課題を解決するための手段】本発明に係わる半導体装置は、第1導電型の半導体基板の表面側に形成されたMIS部を備える半導体装置であって、MIS部におけるソース領域は、ソース電極が導電接続する基板表面側に形成された第2導電型の高濃度ドレイン領域を備えており、MIS部におけるドレイン領域は、基板表面側でソース領域に対峙する第2導電型の延長ドレイン領域と、延長ドレイン領域の基板表面側に形成されドレイン電極が導電接続する高濃度ドレイン領域と、延長ドレイン領域の基板表面側に形成された第1導電型の複数のフィールドリング（島状領域）とを備えており、MIS部におけるゲート電極は、ソース領域とドレイン領域との間で基板表面上に絶縁層を介在して形成され、ソース領域とドレイン領域との間の基板表面側に形成するチャンネルから電気的に分離されており、基板表面上には、ソース領域とドレイン領域の表面を少なくとも被覆する絶縁層を備えている当該半導体装置において、ドレイン領域と、ソース領域、基板及びゲート電極との間に降伏電圧より低い電圧を印加して延長ドレイン領域と基板との接合面より空乏層を拡張させ、延長ドレイン領域と第1導電型の複数のフィールドリングとの接合面より空乏層を拡張させたとき、この空乏層同士が接続し延長ドレイン領域と複数のフィールドリングとが少なくとも局所的にその全厚さにわたって空乏化されるようになっているものである。

【0007】

(6)

ここで、複数のフィールドリングは、高濃度ドレイン領域と間隔を隔てて形成されていることが好ましい。

【0008】ここで、延長ドレイン領域の基板表面側にある1つの島状領域と、その1つの島状領域に隣り合う位置にある延長ドレイン領域の基板表面側にある他の島状領域との間隔は $10 \mu\text{m}$ 以下に設定され、延長ドレイン領域の基板表面側にある第1導電型のフィールドリングは、その第1導電型不純物のドーピング濃度が $5 \times 10^{11}/\text{cm}^2$ と $3 \times 10^{13}/\text{cm}^2$ との間に入るように設定される。

【0009】さらに、延長ドレイン領域の表面側にある1つの島状領域と、その1つの島状領域に隣り合う位置

にある延長ドレイン領域の基板表面側にある他の島状領域との間で、延長ドレイン領域の不純物濃度の1番高い位置が、基板表面より $0.5\mu\text{m}$ から $5.0\mu\text{m}$ の間にあってかつ延長ドレイン領域表面の第2導電型の不純物濃度が $1\times 10^{16}/\text{cm}^3$ より低くなっていることが好ましい。

【0010】

【作用】このような本発明は、1つのフィールドリングが空乏化した場合に、電位はフィールドリングの空乏化した領域の全域にわたって分布し、ゲートから高濃度ドレイン領域の間の基板表面の電位分布に対してpn接合が逆バイアスになる点、すなわちフィールドリングの高濃度ドレイン領域よりの端で電界強度は強くなり、この電界の向きは接合面に対して垂直に、基板に対しては水平方向に向いており、この等電位線は基板に対して垂直に入射していることと、逆に、フィールドリングのソース領域よりの端でpn接合は順バイアスとなり電界強度が弱くなることを認識したことに基づいている。

【0011】このようにフィールドリングは、ある点で電界強度を緩和し、同時に別の点で電界強度を強くしてこの等電位線は基板に対して垂直に入射しているので、延長

(7)

ドレイン領域の基板表面側の適切な位置に複数のフィールドリングを備えてこれにフィールドプレートと組み合わせることにより、ゲートと高濃度ドレイン領域の間の局所的な電界強度のピークを緩和しかつ平均的な電界強度を強くして、延長ドレイン領域の全長を短くすることができる。

【0012】さらに、延長ドレイン領域の第2導電型の領域は、複数のフィールドリングと基板とにより、ピンチオフされ完全に空乏化するので、延長ドレイン領域の第2導電型の領域の正味の電荷数を約 $2\times 10^{12}/\text{cm}^2$ とすることができる。そのため、フィールドリングを備えない場合に比べて、延長ドレイン領域の第2導電型の領域の正味の電荷数を約2倍にできる。

【0013】

【実施例】図1は、本発明の第一実施例によるnチャネル型MOSFETの断面構造図である。p-型半導体基板11の表面側に、n-型拡散領域13が形成され、p-型半導体基板は二酸化ケイ素層12によって被覆されている。n-型拡散領域13がこのMOSFETの延長ドレイン領域を形成する。n-型拡散領域の表面部分内に、n+型ドレイン領域14が拡散されており、このn+型ドレイン領域から横方向に対称に離間して、p+型本体領域15が拡散されている。このp+型本体領域は降伏電圧を改善し寄生バイポーラトランジスタのターンオンを防止する。p型領域16は、p+型本体領域15に重なり部分をもつように拡散され、このp型領域16内にn+型ソース領域20が形成されている。n+型ソ

ース領域20の外縁とp型領域16の外縁との空間は、基板表面側で適当なゲート構造により反転され得るチャネルを形成する。また、n-型拡散領域13の表面側でp型領域16とn+型ドレイン領域14との間に、3つのp型のフィールドリング21が拡散されている。金属ドレイン電極25は、n+型ドレイン領域14に導電接続し、2つの金属ソース電極24は、n+型ソース領域20およびp+型領域15に導電接続している。多結晶シリコンゲート26は、このゲートが基板

(8)

表面上に基板から僅かにオフセットしかつ基板表面側に形成するチャネルから絶縁されるように、少なくともチャネルの上方で二酸化ケイ素層12の極めて薄くなっている部分を介在してソース電極と24ドレイン電極25との間に配置されている。多結晶シリコンゲート26はゲート電極であり、絶縁層27はこのゲート電極と二酸化ケイ素層12を被覆している。ゲート電極26およびドレイン電極25が、ゲート電極の下で極めて薄くなっている二酸化ケイ素層12の部分に比して厚い二酸化ケイ素層の表面をn-型拡散領域13および複数のフィールドリング21のある領域の一部の上方にまで延びており、このゲート電極26とドレイン電極25の延長された部分はフルドプレートとして機能し、p型領域16とn+型ドレイン領域14の間に基板表面の局所的な電界強度のピークを緩和している。

【0014】p型領域16からn+型ドレイン領域14へ向かって、p型のフィールドリング21の始端は、そこでpn接合は順バイアスとなり局所的な電界強度のピークを緩和するように、ゲート電極26の下で極めて薄くなっている二酸化ケイ素層12の部分とこれに比して厚い二酸化ケイ素層の部分との境界に対応するn-型拡散領域13の表面側の位置と、ゲート電極26およびドレイン電極25の延長された部分によって形成されるフィールドプレートの終端に対応する基板表面側の位置に設定される。

【0015】p型領域16からn+型ドレイン領域14の間の基板表面の電位分布に対してpn接合が逆バイアスになる点、すなわちフィールドリング21のn+型ドレイン領域14よりの端で電界強度は強くなるので、n+型ドレイン領域14に最も近いフィールドリング21がn+型ドレイン領域に接しているとn+型ドレイン領域側には空乏層が殆ど広がらず、接している点での電界強度が強くなってしまふ。そのため、好ましくはフィールドリング21はn+型ドレイン領域14と間隔を隔てて形成されるのがよい。

(9)

【0016】このようにフィールドリングは、これをフィールドプレートと組み合わせることにより、ある点で電界強度を緩和し、同時に別の点で電界強度を強くしてこの等電位線は基板表面で基板に対して垂直に入射する

ようになるため、p型領域16とn+型ドレイン領域14の間の基板表面で局所的な電界強度のピークを緩和し、かつ平均的な電界強度を強くして延長ドレイン領域の全長を短くすることができる。

【0017】フィールドリングとフィールドリングの間、あるいはフィールドリングとn+型ドレイン領域の間で、二酸化ケイ素層に接している延長ドレイン領域表面のn型の領域を完全に空乏化するように、フィールドリングとフィールドリングの間隔、あるいはフィールドリングとn+型ドレイン領域の間隔は、延長ドレイン領域表面のn型の領域の不純物濃度に対して、その最大空乏層広がり幅より短く設定する必要がある、延長ドレイン領域表面の平均的な電界強度を強くするためには、この間隔は小さい方がよく、好ましくは $10\mu\text{m}$ 以下であるように良好に制御されている必要がある。

【0018】ゲートの下からn+型ドレイン領域14へ延在する延長ドレイン領域のn型の領域は、3つのフィールドリング21とp型基板11とにより、ピンチオフされ完全に空乏化するので、延長ドレイン領域のn型拡散領域13の正味の電荷数を $2 \times 10^{12}/\text{cm}^2$ とすることができ、同時に、3つのフィールドリング21を空乏化するように、そのp型不純物のドーピング濃度は、フィールドリングの間隔及びフィールドリングの長さに合わせて、 $5 \times 10^{11}/\text{cm}^2$ から $3 \times 10^{13}/\text{cm}^2$ の間で適切に選ばれる。

【0019】このようにフィールドリングは、フィールドプレートと組み合わせることによって、延長ドレイン領域の全長を短くすることができるが、前述したようにフィールドプレートによるフィールドプレートの下部の電界は決して好ましいもので

(10)

はないから、フィールドプレートの長さは電界を緩和できる範囲で、その他の諸事情が許す限りなるべく短く設定する必要がある。しかしながら、フィールドプレートの長さが短くなると、製造能力の限界から、この下に複数のフィールドリングを設けることができなくなる場合がある。

【0020】図2は、本発明の第二実施例によるnチャネル型MOSFETの断面構造図であって、第1図に示されたnチャネル型MOSFETにおいて、ゲート電極26を延長して形成するフィールドプレートの全長を短くするとともに、n-型拡散領域13の表面側でp型領域16とn+型ドレイン領域14との間に形成されたp型のフィールドリング21の数が、3つから2つになっている。

【0021】こうするとゲート電極によるフィールドプレートの終端の下で基板表面で、フィールドリングによる電界の緩和効果が弱くなるが、このようなときにはフィールドプレート下のフィールドリング21の全長を長めに設定すればよい。このことは、ゲートからn+型

ドレイン領域に向かって、1つのフィールドリングの終端は電位分布に対してpn接合が逆バイアスとなって、この点で電界強度が強くなり、この点から離れるに従い、すなわちフィールドリングの全長が長い程フィールドリングの始端で電界強度が弱くなるためである。特定の延長ドレイン領域の表面側の不純物濃度に対しては、フィールドプレート下のフィールドリングが長くなった分よりフィールドプレートの短くなった分の方が大きく、フィールドリングの数を2つとした第二実施例の方が、第一実施例に比して延長ドレイン領域の全長を短くしている。

【0022】また、前述したように、フィールドリングとフィールドリングの間、あるいはフィールドリングとn+型ドレイン領域の間で、二酸化ケイ素層に接している延長ドレイン領域表面のn型の領域を完全に空乏化するように、フィールドリングとフィールドリングの間隔、あるいはフィールドリングとn+型ドレイン領域の間隔は、延長ドレイン領域表面のn型の不純物濃度に対して、その最大空乏層広

(11)

がり幅より短く設定する必要があるのだが、製造技術の面からは、工程能力による最小加工寸法幅に制限があるため、複数のフィールドリングを1枚の写真マスクより同時に形成しようとした場合に、フィールドリングの間隔をこの最大空乏層広がり幅より短くできないことがある。フィールドリングの拡散深さを深くすることにより、フィールドリングの間隔を狭くすることもできるが、これは、このMISFETのオン抵抗にとって好ましくないし、フィールドリングの正味の電荷数に対して、拡散深さを深くすると表面不純物濃度が下がり、キャリアの移動度が上がるのでキャリアは衝突イオン化しやすくなり降伏に対する臨界的な電界強度を弱くしてしまう。

【0023】図3は本発明の第三実施例によるnチャネル型MOSFETの断面構造図であって、図2に示したnチャネル型MOSFETにおいて、フィールドリングとフィールドリングの間、あるいはフィールドリングとn+型ドレイン領域の間で、延長ドレイン領域のn型の領域の表面の不純物濃度を打ち消す工程を追加して、表面濃度打ち消し層22によって、導電型が反転しない範囲内でこのn型領域の表面不純物濃度を下げている。

【0024】フィールドリングとフィールドリングの間、あるいはフィールドリングとn+型ドレイン領域の間で、n型の領域の表面不純物濃度を下げることにより、この最大空乏層広がり幅を大きくすることができるため、最小加工寸法幅による制限から解放される。このとき、この延長ドレイン領域表面のn型の不純物濃度は、最小加工寸法幅と最大空乏層広がり幅に対応し、 $1 \times 10^{16}/\text{cm}^3$ より低くなっていることが好ましい。さらに、この延長ドレイン領域のn型の領域の表面の不純

物濃度を打ち消す工程は、この工程によって主電流経路であるところの延長ドレイン領域のn型の領域の不純物濃度を下げることのないように、フィールドリングとフィールドリングの間、あるいはフィールドリングとn+型ドレイン領域の間で、延長ドレイン領域のn型の不純物濃度の1番高い位置が、フィールドリングの拡散深さより深すぎない位置にあるようにする必要がある。この深さは、

(12)

好ましくは基板表面より0.5 μ mから5.0 μ mの間
にあればよい。

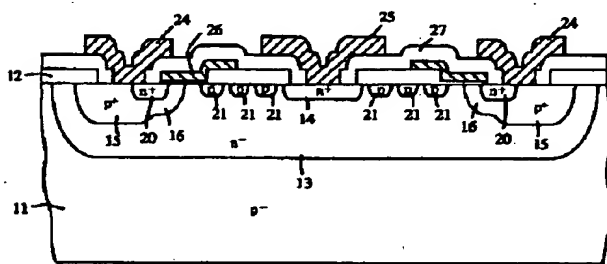
【0025】

【発明の効果】以上のように、本発明によれば高電圧用MISFETの延長ドレイン領域の表面側に備えた複数のフィールドリングによって延長ドレイン領域の全長を短く設定できるので、このMISFETのオン抵抗や全体の面積を小さくできる。そのため、本発明により、半導体基板表面側に形成される横型の高電圧用MISFETの性能向上と同時にコストダウンが可能となる。

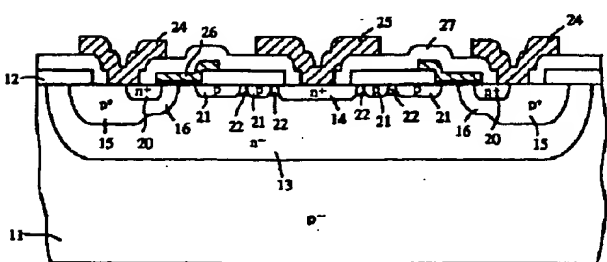
【0026】また、このような本発明による半導体装置は、1つの半導体集積回路装置内で、低い電源電圧で駆動する論理素子と組み合わせることができると高電圧用MISFETを提供することが可能である。

【0027】本発明は、好適実施例を用いて説明されたけれども、各種の変形例および修正例は当業者にとって紛れもなく明白である。したがって、本発明は特定の開示内容に限定されるべきではなく特許請求の範囲の記載によってのみ限定されるものである。

【図1】



【図3】



【図面の簡単な説明】

【図1】本発明の第一実施例によるnチャネル型MOSFETの断面構造図である。

【図2】本発明の第二実施例によるnチャネル型MOSFETの断面構造図である。

【図3】本発明の第三実施例によるnチャネル型MOSFETの断面構造図である。

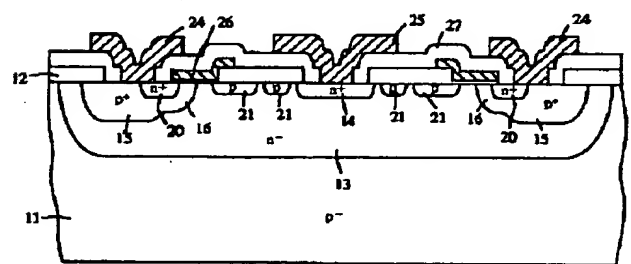
【図4】従来の技術によるnチャネル型MOSFETの断面構造図である。

(13)

【符号の説明】

- | | |
|--------|---------------|
| 11 | p- 型半導体基板 |
| 12 | 二酸化ケイ素膜 |
| 13 | n- 型拡散領域 |
| 14 | n+ 型ドレイン領域 |
| 15 | p+ 型本体領域 |
| 16 | p型領域 |
| 17, 18 | 打ち込み層 |
| 19 | p+ 型コンタクト領域 |
| 20 | n+ 型ソース領域 |
| 21 | p型フィールドリング |
| 22 | 表面濃度打ち消し打ち込み層 |
| 23 | p型不純物層 |
| 24 | ソース電極 |
| 25 | ドレイン電極 |
| 26 | 多結晶シリコンゲート |
| 27 | 絶縁層 |

【図2】



【図4】

